

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-065490

(43)Date of publication of application : 06.03.1998

(51)Int.Cl.

H03H 9/64
H03H 9/25

(21)Application number : 08-223425

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 26.08.1996

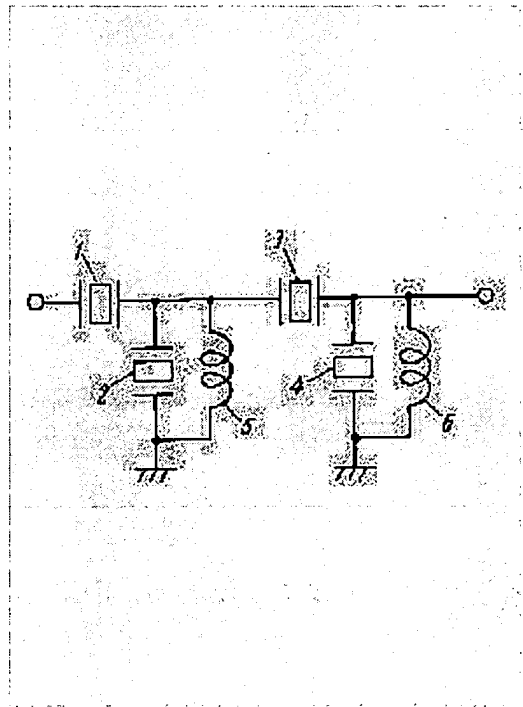
(72)Inventor : YUDA NAOKI
SAKURAGAWA TORU
ITO MAMORU
MURASE YASUMICHI

(54) SAW FREQUENCY BAND BLOCKING FILTER AND ELECTRONIC DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To realize the SAW frequency band block filter with a small size at a low loss by forming a ladder circuit with a small number of SAW resonators and not needing a matching circuit.

SOLUTION: The SAW frequency band block filter is provided with a 1st SAW resonator in series connection between an input terminal and an output terminal and a parallel connection circuit consisting of a 1st inductor element 5 and a 2nd SAW resonator 2 connected between the input terminal of the 1st SAW resonator or the output terminal and an earth electrode. Through the constitution above, since the resonance frequency of the parallel connection circuit is set optionally by the 1st inductor element 5, the frequency band block filter is configured by ladder circuits with a small size at a low loss.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65490

(43) 公開日 平成10年(1998) 3月6日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H	9/64	7259-5 J	H 0 3 H	9/64 Z
	9/25	7259-5 J		9/25 Z

審査請求 未請求 請求項の数20 O L (全 8 頁)

(21) 出願番号 特願平8-223425
 (22) 出願日 平成8年(1996) 8月26日

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (72) 発明者 湯田 直毅
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72) 発明者 櫻川 徹
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72) 発明者 伊藤 守
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (74) 代理人 弁理士 滝本 智之 (外1名)
 最終頁に続く

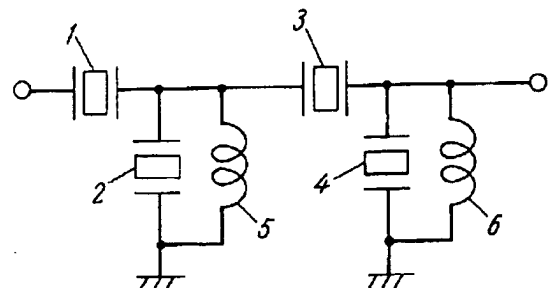
(54) 【発明の名称】 SAW帯域阻止フィルタおよびそれを使用した電子機器

(57) 【要約】

【課題】 本発明は、SAW帯域阻止フィルタおよびそれを用いた電子機器に関するもので、低損失で小型化することを目的とするものである。

【解決手段】 この目的を達成するために本発明は、入力端子と出力端子との間に直列接続された第1のSAW共振子1と、この第1のSAW共振子の入力端子側あるいは出力端子側とアース電極との間に接続された第2のSAW共振子2と第1のインダクタンス素子5との並列接続体とを備えたSAW帯域阻止フィルタとするものである。上記の構成によって、第1のインダクタンス素子5により並列接続体の共振周波数を任意に設定することが可能となるため、低損失で小型な梯子型回路によって帯域阻止フィルタを構成することができる。

- 1 第1のSAW共振子
- 2 第2のSAW共振子
- 3 第3のSAW共振子
- 4 第4のSAW共振子
- 5 第1のインダクタンス素子
- 6 第2のインダクタンス素子



【特許請求の範囲】

【請求項1】 入力端子と出力端子との間に直列接続された第1のSAW共振子と、この第1のSAW共振子の入力端子側あるいは出力端子側とアース電極との間に接続された第2のSAW共振子と第1のインダクタンス素子との並列接続体とを備えたSAW帯域阻止フィルタ。

【請求項2】 第1のSAW共振子の直列共振周波数（以下 F_{s1} と記す）および第2のSAW共振子と第1のインダクタンス素子との並列接続体の並列共振周波数（以下 F_{p2} と記す）をそれぞれフィルタとしての通過帯域に設定し、第1のSAW共振子の並列共振周波数（以下 F_{p1} と記す）および第2のSAW共振子と第1のインダクタンス素子との並列接続体の直列共振周波数（以下 F_{s2} と記す）をそれぞれフィルタとしての阻止帯域に設定した請求項1に記載のSAW帯域阻止フィルタ。

【請求項3】 F_{p2} と F_{s1} とを略同じ値とした請求項1または請求項2に記載のSAW帯域阻止フィルタ。

【請求項4】 F_{s2} を F_{p1} よりも大きな値とした請求項1から請求項3のいずれか一つに記載のSAW帯域阻止フィルタ。

【請求項5】 第2のSAW共振子と第1のインダクタンス素子との並列接続体を、第1のSAW共振子と出力端子間に接続した請求項1から請求項4のいずれか一つに記載のSAW帯域阻止フィルタ。

【請求項6】 第1、第2のSAW共振子の接続点と出力端子との間に第3のSAW共振子を接続し、第3のSAW共振子と出力端子との接続点とアース電極との間に第4のSAW共振子と第2のインダクタンス素子との並列接続体を接続した請求項1から請求項5のいずれか一つに記載のSAW帯域阻止フィルタ。

【請求項7】 第3のSAW共振子の直列共振周波数（以下 F_{s3} と記す）および第4のSAW共振子と第2のインダクタンス素子との並列接続体の並列共振周波数（以下 F_{p4} と記す）をそれぞれフィルタとしての通過帯域に設定し、第3のSAW共振子の並列共振周波数（以下 F_{p3} と記す）および第4のSAW共振子と第2のインダクタンス素子との並列接続体の直列共振周波数（以下 F_{s4} と記す）をそれぞれフィルタとしての阻止帯域に設定した請求項5または請求項6に記載のSAW帯域阻止フィルタ。

【請求項8】 F_{p4} と F_{s3} とを略同じ値とした請求項5から請求項7のいずれか一つに記載のSAW帯域阻止フィルタ。

【請求項9】 F_{s4} を F_{p3} よりも大きな値とした請求項5から請求項8のいずれか一つに記載のSAW帯域阻止フィルタ。

【請求項10】 入力端子と出力端子との間に第1のSAW共振子と第3のSAW共振子とを直列接続し、第1、第3のSAW共振子の接続点とアース電極間に第2

のSAW共振子と第1のインダクタンス素子との並列接続体を接続し、第3のSAW共振子と出力端子との接続点とアース電極間に第4のSAW共振子と第2のインダクタンス素子との並列接続体を接続し、第1のSAW共振子の並列共振周波数（ F_{p1} ）と第2のSAW共振子と第1のインダクタンス素子との並列接続体の直列共振周波数（ F_{s1} ）と第3のSAW共振子の並列共振周波数（ F_{p3} ）と第4のSAW共振子と第2インダクタンス素子との並列接続体の直列共振周波数（ F_{s4} ）とをそれぞれフィルタとしての阻止帯域に設定するとともに、 $F_{s4} > F_{s2} > F_{p3} > F_{p1}$ としたSAW帯域阻止フィルタ。

【請求項11】 第1のSAW共振子の直列共振周波数（ F_{s1} ）と第2のSAW共振子と第1のインダクタンス素子との並列接続体の並列共振周波数（ F_{p1} ）と第3のSAW共振子の直列共振周波数（ F_{s3} ）と第4のSAW共振子と第2のインダクタンス素子との並列接続体の並列共振周波数（ F_{p4} ）とをそれぞれフィルタとしての通過帯域に設定するとともに、 F_{s1} と F_{p2} と F_{s3} と F_{p4} とを略同じ値とした請求項10に記載のSAW帯域阻止フィルタ。

【請求項12】 第2のインダクタンス素子の素子値を第1のインダクタンス素子の素子値よりも大きくした請求項10または請求項11に記載のSAW帯域阻止フィルタ。

【請求項13】 第1、第2のインダクタンスをボンディングワイヤによって形成した請求項12に記載のSAW帯域阻止フィルタ。

【請求項14】 圧電基板上に第1から第4のSAW共振子用の櫛形電極パターンを形成するとともに、この圧電基板上に第1、第2のインダクタンス素子用の線路パターンを設け、この線路パターンにボンディングワイヤを接続した請求項10から請求項12のいずれか一つに記載のSAW帯域阻止フィルタ。

【請求項15】 圧電基板の左右に第1、第3のSAW共振子と第2、第4のSAW共振子とを振り分けて配置した請求項10から請求項14のいずれか一つに記載のSAW帯域阻止フィルタ。

【請求項16】 第1、第3のSAW共振子を振り分けた圧電基板の一方側に入力端子および出力端子を設け、第2、第4のSAW共振子を振り分けた圧電基板の他方側に第1、第2のインダクタンス素子用の接続電極を設けた請求項15に記載のSAW帯域阻止フィルタ。

【請求項17】 第1、第2のインダクタンス素子の少なくとも一方をボンディングワイヤによって形成した請求項16に記載のSAW帯域阻止フィルタ。

【請求項18】 第1、第2のインダクタンス素子をボンディングワイヤによって形成するとともに、第2のインダクタンス素子用のボンディングワイヤを第1のインダクタンス素子用のボンディングワイヤよりも長くした

請求項16に記載のSAW帯域阻止フィルタ。

【請求項19】 請求項1から請求項18のいずれか一つのSAW帯域阻止フィルタを通信機の送信経路に介在させた電子機器。

【請求項20】 請求項1から請求項18のいずれか一つのSAW帯域阻止フィルタを送信経路の最終段の増幅器とアンテナとの間に介在させた請求項19に記載の電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SAW帯域阻止フィルタおよびそれを使用した電子機器に関するものである。

【0002】

【従来の技術】従来の例えば携帯電話等の電子機器においては、それを小型化するためにその通信経路に介在させる帯域阻止フィルタをSAW共振子を用いて構成したものがあった。従来のSAW帯域阻止フィルタは特開昭61-220511号公報に開示されている。その回路構成は図7に示すように、複数のSAW共振子26を直列に接続し、入出力端子に整合回路27を設けたものであった。

【0003】

【発明が解決しようとする課題】しかしながら、従来のSAW帯域阻止フィルタは、SAW共振子26を直列に十数個接続した回路となり、さらに入出力部にそれぞれ整合回路27を設けなければならないものであったため、形状が大きく、通過帯域における挿入損失も大きくなるといった問題があった。

【0004】本発明は、SAW共振子数が少なく整合回路が不要な梯子型回路とすることにより、低損失で小型なSAW帯域阻止フィルタを実現するとともに、それを使用した電子機器を提供することを目的とするものである。

【0005】

【課題を解決するための手段】上記課題を解決するために本発明は、入力端子と出力端子との間に直列接続された第1のSAW共振子と、この第1のSAW共振子の入力端子側あるいは出力端子側とアース電極との間に接続された第2のSAW共振子と第1のインダクタンス素子との並列接続体とを備えたSAW帯域阻止フィルタとするものである。この構成によって、第1のインダクタンス素子により並列接続体の共振周波数を任意に設定することが可能となるため、低損失で小型な梯子型回路によってSAW帯域阻止フィルタを構成することができる。

【0006】

【発明の実施の形態】本発明の請求項1に記載の発明は、入力端子と出力端子との間に直列接続された第1のSAW共振子と、この第1のSAW共振子の入力端子側あるいは出力端子側とアース電極との間に接続された第

2のSAW共振子と第1インダクタンス素子との並列接続体とを備えたSAW帯域阻止フィルタとするものである。上記の構成によって、第1のインダクタンス素子により並列接続体の共振周波数を任意に設定することが可能となるため、低損失で小型な梯子型回路によって帯域阻止フィルタを構成することができる。

【0007】さらに請求項2に記載の発明は、第1のSAW共振子の直列共振周波数（以下 F_{s1} と記す）および第2のSAW共振子と第1のインダクタンス素子との並列接続体の並列共振周波数（以下 F_{p2} と記す）をそれぞれフィルタとしての通過帯域に設定し、第1のSAW共振子の並列共振周波数（以下 F_{p1} と記す）および第2のSAW共振子と第1のインダクタンス素子との並列接続体の直列共振周波数（以下 F_{s2} と記す）をそれぞれフィルタとしての阻止帯域に設定した請求項1に記載のSAW帯域阻止フィルタとするものである。上記構成によって、通過特性を帯域阻止フィルタとして最適な条件とすることができる。

【0008】さらに請求項3に記載の発明は、 F_{p2} と F_{s1} とを略同じ値とした請求項1または請求項2に記載のSAW帯域阻止フィルタとするものである。上記の構成によって、フィルタの通過域においてインピーダンス整合が可能となり、入出力端子に整合回路を設けることなく小型の帯域阻止フィルタを構成することができる。

【0009】さらに請求項4に記載の発明は F_{s2} を F_{p1} よりも大きな値とした請求項1から請求項3のいずれか一つに記載のSAW帯域阻止フィルタとするものである。上記の構成によって、広い阻止帯域を有する帯域阻止フィルタを構成することができる。

【0010】また請求項5に記載の発明は、第2のSAW共振子と第1のインダクタンス素子との並列接続体を、第1のSAW共振子と出力端子間に接続した請求項1から請求項4のいずれか一つに記載のSAW帯域阻止フィルタとするものである。上記の構成によって、入力端から大きな電力が印加された場合にもアースに接続されている第2のSAW共振子が破壊しにくくなる。

【0011】また請求項6に記載の発明は、第1、第2のSAW共振子の接続点と出力端子との間に第3のSAW共振子を接続し、第3のSAW共振子と出力端子との接続点とアース電極との間に第4のSAW共振子と第2のインダクタンス素子との並列接続体を接続した請求項1から請求項5のいずれか一つに記載のSAW帯域阻止フィルタとするものである。上記の構成によって、梯子型帯域阻止フィルタの素子数を増すことにより阻止域の減衰特性を向上することができる。

【0012】さらに請求項7に記載の発明は、第3のSAW共振子の直列共振周波数（以下 F_{s3} と記す）および第4のSAW共振子と第2のインダクタンス素子との並列接続体の並列共振周波数（以下 F_{p4} と記す）をそ

れぞれフィルタとしての通過帯域に設定し、第3のSAW共振子の並列共振周波数（以下Fp3と記す）および第4のSAW共振子と第2のインダクタンス素子との並列接続体の直列共振周波数（以下Fs4と記す）をそれぞれフィルタとしての阻止帯域に設定した請求項5または請求項6に記載のSAW帯域阻止フィルタとするものである。上記構成によって、素子数を増した構成において通過特性を帯域阻止フィルタとして最適な条件とすることができる。

【0013】さらに請求項8に記載の発明は、Fp4とFp3とを略同じ値とした請求項5から請求項7のいずれか一つに記載のSAW帯域阻止フィルタとするものである。上記の構成によって、素子数を増した構成においてインピーダンス整合が可能となる。

【0014】さらに請求項9に記載の発明は、Fs4をFp3よりも大きな値とした請求項5から請求項8のいずれか一つに記載のSAW帯域阻止フィルタとするものである。上記構成によって素子数を増した構成において阻止帯域を広げることが可能となる。

【0015】また請求項10に記載の発明は、入力端子と出力端子との間に第1のSAW共振子と第3のSAW共振子とを直列接続し、第1、第3のSAW共振子の接続点とアース電極間に第2のSAW共振子と第1のインダクタンス素子との並列接続体を接続し、第3のSAW共振子と出力端子との接続点とアース電極間に第4のSAW共振子と第2のインダクタンス素子との並列接続体を接続し、第1のSAW共振子の並列共振周波数（Fp1）と第2のSAW共振子と第1のインダクタンス素子との並列接続体の直列共振周波数（Fs1）と第3のSAW共振子の並列共振周波数（Fp3）と第4のSAW共振子と第2のインダクタンス素子との並列接続体の直列共振周波数（Fs4）とをそれぞれフィルタとしての阻止帯域に設定するとともに、 $Fs4 > Fs2 > Fp3 > Fp1$ としたSAW帯域阻止フィルタとするものである。上記の構成によって、4素子の帯域阻止フィルタにおいて、広い阻止帯域を確保しつつ、阻止帯域内の減衰量を最適に設定することができる。

【0016】また請求項11に記載の発明は、第1のSAW共振子の直列共振周波数（Fs1）と第2のSAW共振子と第1のインダクタンス素子との並列接続体の並列共振周波数（Fp1）と第3のSAW共振子の直列共振周波数（Fs3）と第4のSAW共振子と第2のインダクタンス素子との並列接続体の並列共振周波数（Fp4）とをそれぞれフィルタとしての通過帯域に設定するとともに、Fs1とFp2とFs3とFp4とを略同じ値とした請求項10に記載のSAW帯域阻止フィルタとするものである。上記の構成によって、4素子の帯域阻止フィルタのインピーダンス整合が可能となり、入出力端子に整合回路を設けることなく小型の帯域阻止フィルタを構成することができる。

【0017】また請求項12に記載の発明は、第2のインダクタンス素子の素子値を第1のインダクタンス素子の素子値よりも大きくした請求項10または請求項11に記載のSAW帯域阻止フィルタとするものである。上記の構成によって、 $Fs4 > Fs2$ でかつFp4とFp2とを略同一の値とすることが可能となる。

【0018】また請求項13に記載の発明は、第1、第2のインダクタンスをボンディングワイヤによって形成した請求項12に記載のSAW帯域阻止フィルタとするものである。上記の構成によって、SAW共振器を形成する圧電基板を小型化することができる。

【0019】また請求項14に記載の発明は、圧電基板上に第1から第4のSAW共振子用の櫛形電極パターンを形成するとともに、この圧電基板上に第1、第2のインダクタンス素子用の線路パターンを設け、この線路パターンにボンディングワイヤを接続した請求項10から請求項12のいずれか一つに記載のSAW帯域阻止フィルタとするものである。上記の構成によって、第1、第2のインダクタンス素子の一部を線路パターンで形成することにより素子値を安定させることができる。

【0020】また請求項15に記載の発明は、圧電基板の左右に第1、第3のSAW共振子と第2、第4のSAW共振子とを振り分けて配置した請求項10から請求項14のいずれか一つに記載のSAW帯域阻止フィルタとするものである。上記の構成によって、SAW共振子を圧電基板上に効率よく配置でき、圧電基板を小型化することができる。

【0021】また請求項16に記載の発明は、第1、第3のSAW共振子を振り分けた圧電基板の一方側に入力端子および出力端子を設け、第2、第4のSAW共振子を振り分けた圧電基板の他方側に第1、第2のインダクタンス素子用の接続電極を設けた請求項15に記載のSAW帯域阻止フィルタとするものである。上記の構成によって、ワイヤボンディングのための電極を効率良く配置でき、圧電基板を小型化することができる。

【0022】また請求項17に記載の発明は、第1、第2のインダクタンス素子の少なくとも一方をボンディングワイヤによって形成した請求項16に記載のSAW帯域阻止フィルタとするものである。上記構成によって、圧電基板を小型化することができる。

【0023】また請求項18に記載の発明は、第1、第2のインダクタンス素子をボンディングワイヤによって形成するとともに、第2のインダクタンス素子用のボンディングワイヤを第1のインダクタンス素子用のボンディングワイヤよりも長くした請求項16に記載のSAW帯域阻止フィルタとするものである。上記の構成によって、同一線径のボンディングワイヤを用いて、第2のインダクタンス素子の素子値を第1のインダクタンス素子よりも大きくすることができる。

【0024】また請求項19に記載の発明は、請求項1

から請求項18のいずれか一つのSAW帯域阻止フィルタを通信機の送信経路に介在させた電子機器とするものである。上記の構成によって、小型で挿入損失の小さいSAW帯域阻止フィルタを用いることによって、小型で消費電力の小さい電子機器を実現することができる。

【0025】さらに請求項20に記載の発明は、請求項1から請求項18のいずれか一つのSAW帯域阻止フィルタを送信経路の最終段の増幅器とアンテナとの間に介在させた請求項19に記載の電子機器とするものである。上記の構成によって、小型で挿入損失の小さいSAW帯域阻止フィルタを用いることによって、小型で消費電力の小さい電子機器を実現することができる。

【0026】以下、本発明の一実施形態を図面を用いて説明する。図6は、電子機器の一例として携帯電話を簡略化して示したブロック図である。即ち、マイク15より入力された音声信号を変調器16で変調した後、送信周波数変換器17、送信増幅器18および送信フィルタ19を経てアンテナ20より送信する。一方、アンテナ20により受信された信号は受信フィルタ21、受信増幅器22および受信周波数変換器23を経て復調器24より復調されてスピーカ25より出力される。上記携帯電話において、送信経路に介在させた送信フィルタ19は図1に示すような回路のSAW帯域阻止フィルタとなっている。

【0027】図1は本発明のSAW帯域阻止フィルタを示す回路図である。図1において、1は第1のSAW共振子、2は第2のSAW共振子、3は第3のSAW共振子、4は第4のSAW共振子、5は第1のインダクタンス素子、6は第2のインダクタンス素子である。第1のSAW共振子1および第3のSAW共振子3は入力端子から出力端子への経路（以下直列枝）に直列接続される。一方、第2のSAW共振子2と第1のインダクタンス素子5とは並列接続されて並列接続体を構成し、第1のSAW共振子1と第3のSAW共振子3との接続点とアースとの間（以下第1の並列枝）に接続され、さらに第4のSAW共振子4と第2のインダクタンス素子6とは並列接続されて並列接続体を構成し、第3のSAW共振子3と出力端子との接続点とアースとの間（以下第2の並列枝）に接続されている。上記構成により、4素子の梯子型回路が構成される。なお、この帯域阻止フィルタは第1のSAW共振子1側の端子を入力端子、その反対側の端子を出力端子としている。この理由は、入力端子から大きな電力が入力された場合に、初段が直列枝の場合の方が並列枝の場合よりもSAW共振子が破壊しにくいことを実験的に確認したためである。

【0028】以下に、個々の回路の電気的特性について説明する。図2(a)は単体のSAW共振子の先端短絡時の入力インピーダンス特性を示した特性図である。図2(a)よりわかるように、SAW共振子は直列共振点Fsと並列共振点Fpとを有し、FsはFpの低域側に存在

するという特徴を有している。図2(b)はSAW共振子とインダクタンス素子との並列接続体の入力インピーダンス特性を示した特性図である。この場合は並列共振周波数Fpが直列共振周波数Fsの低域側に発生し、インダクタンス素子の素子値によってFsを固定したままでFpを任意に動かすことができる。この両者を交互に接続して図1の梯子型回路を構成すれば、直列枝のFsとほぼ等しく並列枝のFpを設定し、直列枝のFpとほぼ等しく並列枝のFsを設定することができるため、帯域阻止フィルタを形成することが可能となる。以下、1番目の直列枝または並列枝の直列共振周波数をFs1、並列共振周波数をFp1と記す。

【0029】図3は、図1のSAW帯域阻止フィルタの通過特性を示した特性図である。Fs1、Fp2、Fs3およびFp4を略等しくするとともに、 $Fp1 < Fp3 < Fs2 < Fs4$ と設定している。これによってFs1、Fp2、Fs3およびFp4の周波数の近傍に通過帯域が形成され、Fp1、Fp3、Fs2およびFs4の周波数に減衰極が生じて阻止帯域が形成されて帯域阻止フィルタとなることがわかる。これは、通過帯域において直列枝が直列共振してショートとなるとともに並列枝が並列共振してオープンとなるために、入力端子から出力端子のインピーダンスが直接見え（すなわちインピーダンス整合がなされ）、入力信号が出力端子へと通過するものである。また、阻止帯域では直列枝が並列共振してオープンとなるかもしくは並列枝が直列共振してショートとなるため、入力信号が反射されて出力端子に到達しないものである。通過帯域および阻止帯域は、それぞれの共振子の共振の鋭さ（Q値）によって決定されるものであるが、上記のように $Fp1 < Fp3 < Fs2 < Fs4$ としてそれぞれの阻止周波数を少しずつ異ならせることによって阻止帯域をより広げることができ、所望の減衰特性を確保しやすくなる。なお、Fs2およびFs4は前述のように任意に設定することができるため、Fp1、Fp3よりも高域側に移動させている。さらに、Fs4をFs2よりも高域に設定するために、第2のインダクタンス素子6の素子値は第1のインダクタンス素子5の素子値よりも大きな値としている。

【0030】次に、このSAW帯域阻止フィルタの構造について説明する。図4はこのSAW帯域阻止フィルタの実装状態を示した平面図である。図4において、1〜6は図1の回路図のSAW共振子およびインダクタンス素子に相当し、7は圧電基板、8は入力電極、9は出力電極、10および11はそれぞれ第1、第2のインダクタンス素子5、6用の接続電極、12はパッケージである。

【0031】第1から第4のSAW共振子1から4は、それぞれ圧電基板7表面上の楕円電極により構成されており、その配置は直列枝に入る第1のSAW共振子1および第3のSAW共振子3を図4における左側に、第1

の並列枝に入る第2のSAW共振子2および第2の並列枝に入る第4のSAW共振子4を右側に振り分けている。そして、入力電極8および出力電極9を直列枝を配置した左側に設けるとともに、インダクタンス素子用電極10および11を第1、第2の並列枝を配置した右側に設けることにより、効率的な配置を行い圧電基板7およびパッケージ12のサイズを小さくしている。第1のインダクタンス素子5および第2のインダクタンス素子6はそれぞれインダクタンス素子用電極10および11とパッケージ12のアース端子とを接続するボンディングワイヤにより形成している。800MHz帯の帯域阻止フィルタの場合必要なインダクタンス値は数ナノヘンリーとなるため、線径35ミクロンのボンディングワイヤで長さが2mm程度となる。なお前述のごとく、第1のインダクタンス素子5よりも第2インダクタンス素子6の方がやや大きな素子値が必要なため、その分長さを若干長くしている。以上のように構成されたSAW帯域阻止フィルタは図3に示す通過特性を示し、800MHz帯において通過帯域の挿入損失1.5dB程度、阻止帯域の減衰量45dB以上の値が得られた。

【0032】なお、本実施の形態においては4素子のSAW帯域阻止フィルタとしたが、それ以外の素子数であってもかまわない。すなわち一つの直列枝と一つの並列枝とからなる2素子の回路を最小単位とし、要求される特性に応じて素子数を決定すればよい。素子数を増加すれば阻止帯域の減衰量を増大することができるが、その反面通過帯域内の挿入損失もまた増大するため、所望の阻止帯域が確保できる最小限の素子数とすることが望ましい。また、素子数に関わらず、直列枝の直列共振周波数(F_{s1} , F_{s3} , ...)と、並列枝の並列共振周波数(F_{p2} , F_{p4} , ...)とをほぼ等しく設定することによって通過帯域におけるインピーダンス整合を得ることができ、さらに並列枝の直列共振周波数(F_{s2} , F_{s4} , ...)を直列枝の並列共振周波数(F_{p1} , F_{p3} , ...)よりも高域側に設定することによって広い阻止帯域を得ることができるのは前述の通りである。

【0033】また、本実施の形態において第1のインダクタンス素子5および第2のインダクタンス素子6をそれぞれボンディングワイヤにより構成したが、それ以外にも圧電基板7上に形成した線路パターンによって構成する方法もある。例えば、図5に示すような第1、第2のジグザグ線路パターン13、14を圧電基板7上に形成し、その先端にそれぞれインダクタンス素子用電極10、11を設ければ、第1、第2のインダクタンス素子5、6をジグザグ線路パターン13、14とボンディングワイヤとにより形成することができるため大きなインダクタンス素子値が得られるとともに、素子値を安定させることができるものである。

【0034】なお、上記実施の形態において説明した数値や構成は一例であり、本発明はこれらの数値や構成の

細部に限定されるものではない。

【0035】

【発明の効果】以上のように本発明は、入力端子と出力端子との間に直列接続された第1のSAW共振子と、この第1のSAW共振子の入力端子側あるいは出力端子側とアース電極との間に接続された第2のSAW共振子と第1のインダクタンス素子との並列接続体とを備えたSAW帯域阻止フィルタとするものである。上記の構成によって、第1のインダクタンス素子により並列接続体の共振周波数を任意に設定することが可能となるため、低損失で小型な梯子型回路によってSAW帯域阻止フィルタを構成することができる。

【図面の簡単な説明】

【図1】本発明のSAW帯域阻止フィルタを示す回路図

【図2】(a)は単体のSAW共振子の先端短絡時の入力インピーダンス特性を示した特性図

(b)はSAW共振子とインダクタンス素子との並列接続体の入力インピーダンス特性を示した特性図

【図3】図1のSAW帯域阻止フィルタの通過特性を示した特性図

【図4】SAW帯域阻止フィルタの実装状態を示す平面図

【図5】SAW帯域阻止フィルタの実装状態の他の例を示した平面図

【図6】携帯電話を簡略化して示したブロック図

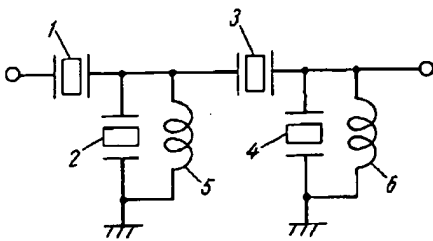
【図7】従来のSAW帯域阻止フィルタを示す回路図

【符号の説明】

- 1 第1のSAW共振子
- 2 第2のSAW共振子
- 3 第3のSAW共振子
- 4 第4のSAW共振子
- 5 第1のインダクタンス素子
- 6 第2のインダクタンス素子
- 7 圧電基板
- 8 入力電極
- 9 出力電極
- 10 第1のインダクタンス素子用電極
- 11 第2のインダクタンス素子用電極
- 12 パッケージ
- 13 第1のジグザグ線路パターン
- 14 第2のジグザグ線路パターン
- 15 マイク
- 16 変調器
- 17 送信周波数変換器
- 18 送信増幅器
- 19 送信フィルタ
- 20 アンテナ
- 21 受信フィルタ
- 22 受信増幅器
- 23 受信周波数変換器

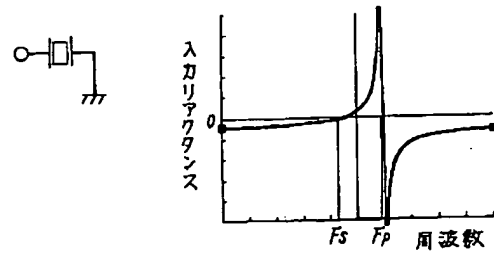
【図1】

- 1 第1のSAW共振子
- 2 第2のSAW共振子
- 3 第3のSAW共振子
- 4 第4のSAW共振子
- 5 第1のインダクタンス素子
- 6 第2のインダクタンス素子

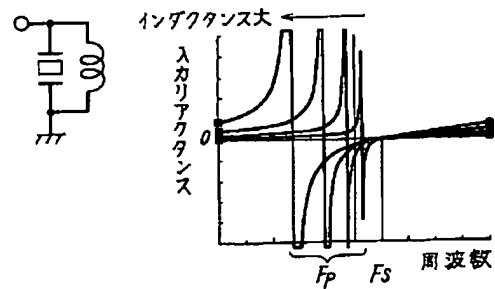


【図2】

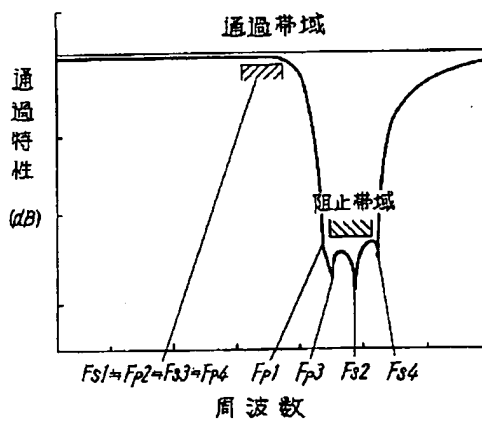
(a)



(b)

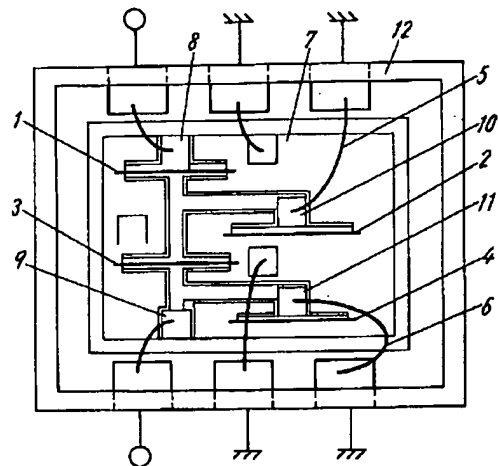


【図3】



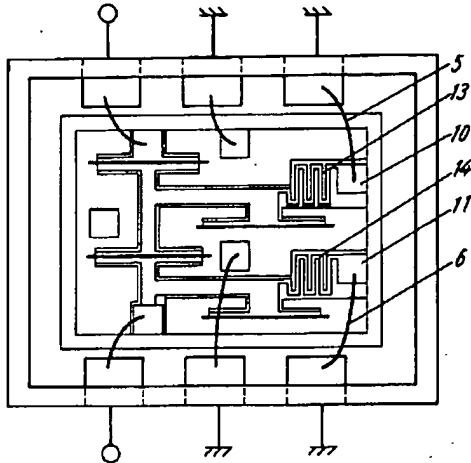
【図4】

- 7 圧電基板
- 8 入力電極
- 9 出力電極
- 10 第1のインダクタンス素子用電極
- 11 第2のインダクタンス素子用電極
- 12 パッケージ



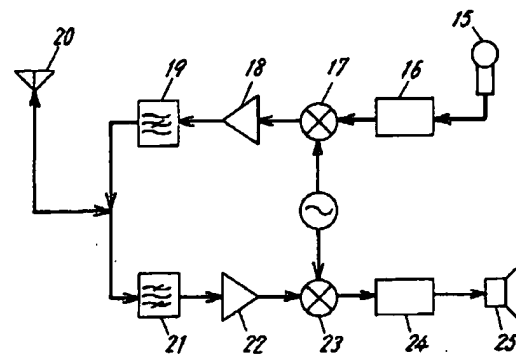
【図5】

- 13 第1のジグザグ線路
パターン
14 第2のジグザグ線路
パターン

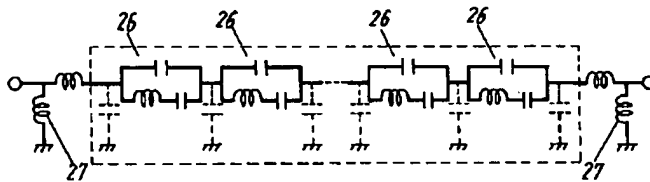


【図6】

- | | |
|-----------------|-----------------|
| 15 マイク | 20 アンテナ |
| 16 変調器 | 21 受信フィルタ |
| 17 送信周波数
変換器 | 22 受信増幅器 |
| 18 送信増幅器 | 23 受信周波数
変換器 |
| 19 送信フィルタ | 24 復調器 |
| | 25 スピーカー |



【図7】



フロントページの続き

(72)発明者 村瀬 恭通
大阪府門真市大字門真1006番地 松下電器
産業株式会社内